

**Quasi-analogue individual parallel control of electrical loads - is programmed for clocking of recirculating shift register memory by microprocessor with min. output signal redundancy**

**Patent number:** DE4006124  
**Publication date:** 1991-09-05  
**Inventor:** REEB MAX DIPL ING (DE)  
**Applicant:** DAIMLER BENZ AG (DE)  
**Classification:**  
- **International:** *H02J1/14; B60R16/02; H02J1/14; B60R16/02; (IPC1-7): B60R16/02; B60T13/66; G06F15/46; H02J13/00*  
- **European:** H02J1/14  
**Application number:** DE19904006124 19900227  
**Priority number(s):** DE19904006124 19900227

**Report a data error here**

**Abstract of DE4006124**

The microprocessor (1) has digital and analogue-to-digital input ports (2, 3) for sensor and control signals (15, 14), and two PWM output lines (9.5,9.6) to switching power stages (10.5,10.6) for quasi-analogue loads. A digital output port (5) supplies a shift clock signal to a memory module (30) which can be loaded during a control pulse from another output port (6). Other power stages (10.1-10.4) are controlled from the memory (8.1-8.4) whose content is circulated in accordance with the clock pulse. **USE/ADVANTAGE** - In transport vehicle, e.g. big utility vehicle for electrically controlled braking system. Multichannel clocking control can be extended to any number of loads from conventional microprocessor.

---

Data supplied from the **esp@cenet** database - Worldwide



⑬ **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENTAMT**

⑫ **Offenlegungsschrift**  
⑩ **DE 40 06 124 A 1**

⑤ Int. Cl.<sup>5</sup>:  
**H 02 J 13/00**  
B 60 R 16/02  
G 06 F 15/46  
B 60 T 13/66

⑳ Aktenzeichen: P 40 06 124.8  
㉑ Anmeldetag: 27. 2. 90  
㉒ Offenlegungstag: 5. 9. 91

**DE 40 06 124 A 1**

㉓ **Anmelder:**

Mercedes-Benz Aktiengesellschaft, 7000 Stuttgart,  
DE

㉔ **Erfinder:**

Reeb, Max, Dipl.-Ing., 7336 Uchingen, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ **Einrichtung zur quasi-analog individuellen Parallelansteuerung einer Mehrzahl von elektrischen Verbrauchern in einem Verkehrsmittel**

⑤⑦ Eine Einrichtung zur quasi-analog individuellen Parallelansteuerung einer Mehrzahl von elektrischen Verbrauchern in einem Verkehrsmittel wird beschrieben. Sie erlaubt zum einen die Verwendung herkömmlicher Mikrorechner zur vielkanalig quasi-analogen Taktansteuerung elektrischer Verbraucher. Zum andern erlaubt sie, den Ausgangsfächer, d. h. die Anzahl der von einem solchen Mikrorechner quasi-analog ansteuerbaren Verbraucher praktisch beliebig zu erhöhen. Unter gewissen Voraussetzungen erlaubt die Einrichtung eine Minimierung der allkanaligen Ausgangssignalredundanz eines Mikrorechners bei paralleler Taktansteuerung einer Mehrzahl von elektrischen Verbrauchern. Bei stationären Ausgangssignalen kann die Ausgangsbelastung des Mikrorechners sogar gegen Null gehen. Daraus resultiert eine größtmögliche Eingangsbelastbarkeit, d. h. eine größtmögliche Akquisitionsschnelligkeit oder eine geringstmögliche Totzeitbelastung bei der Verarbeitung sehr vieler Eingangsgrößen durch den Mikrorechner.

**DE 40 06 124 A 1**

Die Erfindung betrifft eine Einrichtung zur quasi-analog individuellen Parallelansteuerung einer Mehrzahl von elektrischen Verbrauchern in einem Verkehrsmittel nach dem Oberbegriff des Anspruchs 1.

In Verkehrsmitteln werden zunehmend Funktionen elektrisch angesteuert. Beispielsweise die Verstellung von Luft-, Drossel- oder Strömungskappen, Öffnungszeit- und Querschnitt von Kraftstoff-, Druckluft- oder Hydraulikventilen wird bevorzugt durch elektrische Ansteuerung motorischer Stellelemente, allgemein elektrischer Verbraucher, ausgelöst. Entsprechende Steuerbefehle werden von elektronischen Steuergeräten aufbereitet. Als zentrales Element solcher Steuergeräte finden zunehmend Mikrorechner Verwendung.

Sollen entsprechende Verbraucher nicht nur ein- oder ausgeschaltet, sondern mit einer kontinuierlich dosierbaren Betriebsleistung etwa für eine analoge Stellreaktion versorgt werden, steigt die Verlustleistung in entsprechenden Ansteuerendstufen eines solchen Steuergeräts drastisch an. Deshalb werden solche Verbraucher zunehmend getaktet angesteuert, d. h. mit einem maximalen Versorgungsstrom mit variabler Ein-Aus-Taktrate, so daß sich je nach Taktrate ein entsprechend variabler Durchschnittsstrom einstellt und die Verlustleistung in einer derartigen Ansteuerendstufe in erster Näherung auf die verhältnismäßig geringen Werte in ihrem jeweils stationären Ein- oder Ausschaltzustand begrenzt werden kann. Aufgrund dieser Verlustleistungsreduktion können somit mehr Ansteuerendstufen auch in verhältnismäßig kleinen Steuergeräten vereinigt werden, als dies bei Ausführung in herkömmlicher Analogtechnik möglich wäre.

Als Signalquellen für die getaktete Ansteuerung von Schaltendstufen eignen Mikrorechner ganz besonders, da sie in der Regel über eine Mehrzahl von digitalen Ausgängen verfügen und nach Vorschrift eines abgespeicherten Programmes beliebige Taktsequenzen einfach zu erzeugen erlauben. Dabei können z. B. mehr oder weniger komplexe Software-Zählroutinen angewandt werden, um einem bzw. mehreren Eingangssignal/en wenigstens einen entsprechenden Ausgangstaktimpuls zur Ansteuerung einer Schaltendstufe zuzuordnen.

Moderne Mikrorechner (z. B. 8096 von Intel) sind funktional bereits so strukturiert, daß sie an einem oder mehreren Ausgängen beliebig veränderliche Signalpulse, d. h. pulsweitenmodulierte (PWM) Ausgangsgrößen abzugeben vermögen. Außerdem umfassen sie meist leistungsfähige und vielkanalig betreibbare Analog-Digitalwandler zur digitalen Verarbeitung analoger Geber- und Steuergrößen.

Beispielhaft bei einem elektronisch gesteuerten Bremssystem für ein größeres Nutzfahrzeug, in welchem ein entsprechender Rechner außer dem eigentlichen Fahrerwunsch-Pedalsignal noch Bremsdruck-, Raddrehzahl-, Achslast-, Belagsverschleiß-, Beladungs-, Koppelkraft- und Sicherheitskontrollsignale verarbeiten muß, kann die Echtzeiteinholung und -verarbeitung von bis zu 50 Eingangssignalen zur Ansteuerung von z. B. zwölf Radbremzen erforderlich werden.

Abgesehen davon, daß beispielsweise ein Mikrorechner des Typs 8096 nur über sechs PWM-Ausgänge verfügt, wird ein wesentlicher Teil der Funktionsleistung des Mikrorechners in einem solchen Falle von der Dateneinholung (Sampling oder Strobings) beansprucht (Head-Load-Betrieb). Die Echtzeitabgabe einer Kehr-

zahl von getakteten Steuersignalen kann dadurch beeinträchtigt sein, vor allem im Hinblick auf eine erwünschtermaßen kürzestmögliche Ansprechzeit aktuell zu verändernder Ausgangstaktsignale.

Die Signaleinholung kann umso mehr beschleunigt und insoweit die Reaktionszeit eines entsprechenden Systems umso mehr verkürzt werden, je geringer die Ausgangsbelastung eines solchen Rechners gehalten werden kann. Beim gewählten Beispiel eines Bremssystems ist jedoch die schnelle Einholung und Verarbeitung besonders vieler Eingangssignale gerade dann erforderlich, wenn rechnerausgangsseitig viele Steuersignale zur Verfügung stehen oder verändert werden sollen. Erfolgt die vielkanalig kontinuierliche Ausgangssignalabgabe mit Vorrang, kann selbst bei Verwendung eines sehr leistungsfähigen Mikrorechners die Ansprechzeit auf gleichzeitige Änderungen vieler Eingangssignale unzulässig groß werden.

Es ist Aufgabe der Erfindung, zur quasi-analog individuellen Parallelansteuerung einer Mehrzahl von elektrischen Verbrauchern in einem Verkehrsmittel eine Einrichtung vorzuschlagen, die einerseits die Verwendung herkömmlicher Mikrorechner zur vielkanaligen quasi-analog Taktansteuerung von Verbrauchern erlaubt, oder aber den Ausgangsfächer, d. h. die Anzahl der von einem solchen Mikrorechner quasi-analog individuell ansteuerbaren Verbraucher praktisch beliebig zu erhöhen erlaubt, so daß vielkanalige PWM-Ansteuerungen auch mit Mikrorechnern lösbar werden, die über keinen oder nur einen oder wenige direkte PWM-Ausgänge verfügen.

Andererseits soll zugunsten einer höchstmöglichen Eingangsbelastbarkeit eine Verringerung der Ausgangsbelastung eines für getaktete bzw. PWM-Ansteuerung von Verbrauchern vorgesehenen Mikrorechners erzielbar sein.

Diese Aufgaben werden bei einer erfindungsgemäßen Einrichtung nach der Gattung des Anspruchs 1 gelöst.

Als erster Vorteil der erfindungsgemäßen Einrichtung mag gelten, daß sie die Verwendung eines normalen Mikrorechners zur vielkanalig individuellen PWM-Ansteuerung einer Mehrzahl von elektrischen Verbrauchern mit einfachen Mitteln erschließt. Ebenso erlaubt sie die Erweiterung des Ausgangskanalfächers eines für die Abgabe von PWM-Signalen schon ausgebildeten Mikrorechners auf sehr einfache Weise.

Ein zweiter Vorteil der erfindungsgemäßen Einrichtung ist die unter gewissen Voraussetzungen erreichbare Minimierung der allkanaligen Ausgangssignalredundanz eines Mikrorechners für parallele Taktansteuerung einer Mehrzahl von elektrischen Verbrauchern. Die Ausgangsbelastung des Mikrorechners kann bei stationären Ausgangssignalen sogar gegen Null gehen. Dies hat eine größtmögliche Eingangsbelastbarkeit, d. h. eine größere Akquisitionsschnelligkeit bzw. Eingangskanalzahl oder aber eine geringere Totzeitbelastung bei der Verarbeitung sehr vieler Eingangsgrößen zur Folge.

Vorteilhafte Weiterbildungen sind nach Lehre der darauf rückbezogenen Ansprüche 2 bis 20 gegeben.

Demgemäß erfolgt die Assemblierung oder Abänderung von PWM-Signalwerten durch den Rechner, während die kontinuierliche Abgabe entsprechender PWM-Signale ohne zusätzliche Belastung des Mikrorechners von einem besonderen Einrichtungsteil besorgt wird.

Die Aktualisierung von Taktraten kann entweder nach einem starren Schema oder dynamisch mit flexibler Kanalpriorität und Verteilverzögerung erfolgen. Ei-

ne hochgradig gleichzeitige Modifikation von Taktraten ist z. B. durch Strobing möglich. Dabei werden nicht alle Bits eines Kanaltaktmusters auf einmal, sondern nur einzelne Bits oder bestimmte Bit-Gruppen der unterschiedlichen Kanälen zugeordneten Taktmuster in sehr schneller Abfolge verändert. Besonders vorteilhaft können hierfür parallel ladbare Schieberegister zur Anwendung gelangen. Dabei kann dann auch ein "Download" eines vielkanalig quasi-analogen Ansteuertaktmens an mehrere Verbraucher direkt aus dem ROM des Mikrorechners in extrem kurzer Zeit erfolgen (ROM-Dump Mode).

Ein weiterer Vorteil der Einrichtung besteht darin, daß sie mit geringem Zusatzaufwand mit der Failsafe-Eigenschaft des Last-Instruction-Hold ausgebildet werden kann. Beim Ausfall des Mikrorechners kann so unter bestimmten Voraussetzungen das letzte Ansteuertaktmens vielkanalig aufrecht erhalten werden. Vermittels einer einfachen Erweiterung können Kanäle mit ausgefallener Endstufe, ausgefallenem Verbraucher oder Zuleitungsdefekt erkannt und von einer weiteren elektrischen Ansteuerung ausgeblendet werden.

Drei Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt und nachfolgend erläutert. Es zeigen:

Fig. 1 das Wirkschaltbild eines seriell ladbaren Taktperiodenspeichers als Kanalfunktionselement zur kontinuierlichen Abgabe eines getakteten Ausgangssignals;

Fig. 2 das Wirkschaltbild eines ersten Ausführungsbeispiels zur vielkanalig parallelen Abgabe kontinuierlich getakteter Ausgangssignale, den Ausgangskanalfächer eines PWM-Mikrorechners verbreiternd;

Fig. 3 ein vereinfachtes Impulssdiagramm zur Veranschaulichung der Erzeugung der parallelen und voneinander unabhängigen Taktsignale beim Ausführungsbeispiel gemäß Fig. 2;

Fig. 4 die Funktionsblockdarstellung eines seriell und parallel ladbaren Taktperiodenspeichers als Kanalfunktionselement zur kontinuierlichen Abgabe eines getakteten Ausgangssignals;

Fig. 5 das Wirkschaltbild eines zweiten Ausführungsbeispiels zur Aufbereitung und vielkanalig parallelen Abgabe kontinuierlich getakteter Ausgangssignale;

Fig. 6 das Wirkschaltbild eines dritten Ausführungsbeispiels zur vielkanalig parallelen Abgabe kontinuierlich getakteter Ausgangssignale, wobei ein einmal erreichter Ansteuerzustand bei Ausfall des Mikrorechners aufrecht gehalten werden kann.

Fig. 1 veranschaulicht zunächst ein je PWM-Ausgang vorgesehenes Kanalfunktionselement in Form eines seriell ladbaren Taktperiodenspeichers 8. Er umfaßt beispielhaft ein seriell ladbares Schieberegister 80 mit Takteingang 81, Dateneingang 82 und Datenausgang 83 und ist über eine Gatterfunktion mit der Wirkung einer Signalweiche rückgekoppelt.

Dazu ist vom Ausgang 83 eine Rückführleitung 84 an den ersten Eingang eines ersten UND-Gatters 85 geführt. Eine Ladesteuerleitung 7 ist einerseits über eine Invertierfunktion 86 mit dem zweiten Eingang des UND-Gatters 85 verbunden. Der Ausgang 88 des UND-Gatters 85 beaufschlagt ein ODER-Gatter 90. Die Ladesteuerleitung 7 ist andererseits an den ersten Eingang eines zweiten UND-Gatters 87 geführt. Eine Datenleitung 5.2 ist mit dem zweiten Eingang des UND-Gatters 87 verbunden. Der Ausgang 89 des UND-Gatters 87 beaufschlagt den zweiten Eingang des ODER-Gatters 90. Der Ausgang 91 des ODER-Gatters 90 speist den Dateneingang 82 des Schieberegisters 80.

Dem Takteingang 81 des Schieberegisters 80 ist über die Taktleitung 5.1 ein Schiebetaktsignal CP zuführbar.

Die Anordnung funktioniert wie folgt.

Über die Taktleitung 5.1 wird dem Takteingang 81 ein (insoweit aus Taktinkrementen gebildeter) Schiebetaktpuls CP zugeführt. Dadurch wird jeweils der am Dateneingang 82 vonseiten eines Mikrorechners momentan anstehende Logikpegel in das Schieberegister 80 seriell eingelesen und mit jedem weiteren Taktinkrement durch das Schieberegister geschoben, bis er bei einem n-stufigen Schieberegister nach n Taktinkrementen am Ausgang 83 wieder erscheint.

Solange die Ladesteuerleitung 7 hohen logischen Pegel (LOAD-Impuls) führt, wird der auf der Datenleitung 5.2 momentan anstehende logische Pegel in einzelne Schiebetaktimpulse (Tast-Bits) aufgelöst in das Schieberegister eingelesen und darin sukzessive weiterbewegt. Die Dauer  $T_1$ ,  $T_2$ , etc. eines LOAD-Impulses für ein n-stufiges Schieberegister kann, muß aber nicht der n-fachen Dauer des Schiebetaktsignals am Eingang 81 (in Fig. 3 als Tastperiodendauer mit  $t_c$  gekennzeichnet) entsprechen; bei Erfordernis kann sie auch kürzer sein.

Sobald die Ladesteuerleitung 7 niedrigen Logikpegel führt, wird das UND-Gatter 87 gesperrt, vermöge der Invertierfunktion 86 das UND-Gatter 85 hingegen geöffnet.

Dadurch wird mit dem jeweils nächsten Schiebetaktimpuls CP der insoweit am Ausgang 83 erscheinende Registerinhalt wieder in den Eingang 82 eingelesen und durch das Schieberegister geschoben. Bei endloser Schiebetaktung ohne erneuten LOAD-Impuls zirkuliert insoweit das über die gesamte Schieberegisterlänge einmal abgelegte Datenwort endlos und wird dementsprechend als endlos repetierendes serielles Impulsmuster am Ausgang 83 ausgegeben. Handelt es sich dabei um den Ansteuertakt für einen Verbraucher, kann derselbe über eine an die Leitung 9 angeschlossene Schaltendstufe mit entsprechendem Taktverhältnis z. B. an eine Betriebsspannung angeschaltet bzw. mit Strom beaufschlagt werden, d. h. unabhängig davon, wie nach dem Abklingen des LOAD-Impulses die durch die Datenleitung 5.2 empfangbaren logischen Taktsignale zwischenzeitlich beschaffen sind.

Fig. 2 zeigt ein erstes Ausführungsbeispiel der erfindungsgemäßen Einrichtung als Bestandteil eines elektronischen Steuergeräts in einem Verkehrsmittel. Es verwendet das vorbeschriebene Kanalfunktionselement in der Art eines je nach erforderlicher Anzahl von PWM-Ausgängen beliebig anreihbaren Submoduls zur Aufbereitung und vielkanalig parallelen Abgabe einer Mehrzahl von kontinuierlich getakteten Ausgangssignalen. Zur Verallgemeinerung zeigt das Beispiel die Erweiterung zweier in einem Mikrorechner bereits on-chip realisierter PWM-Taktausgänge auf insgesamt sechs.

Ein Mikrorechner 1, neben einer CPU-Einheit in bekannter Weise RAM- und ROM-Speicher und hier auch eine Zeitbasis beinhaltend, weist wenigstens einen digitalen Eingangsport 2 und vorzugsweise noch einen A/D-Eingangsport 3 auf. Über eine Vielzahl von Eingangsleitungen 14 bzw. 15 können diese beispielsweise Geber-, Steuer- und Kontrollsignale empfangen. Die Erfindung umfaßt einen Mikrorechner 1 mit ausnahmslos digitalen Ein- und Ausgängen gleichermaßen. Ein digitaler Ausgangs- und Eingangsport 4 umfaßt z.B. zwei PWM-Ausgänge, die über Leitungen 9.5 und 9.6 an die Eingänge von Schaltendstufen 10.5 und 10.6 geführt sind. Letztere sind über Steuerleitungen 12.5 und 12.6 mit zwei quasi-ana-

log zu bestromenden, hier nicht dargestellten Verbrauchern verbunden.

Des weiteren ist für beispielhaft vier zusätzliche Steuerausgänge ein Modul 30 mit vier identischen Taktperiodenspeichern 8.1 bis 8.4 vorgesehen, die dem Kanalfunktionselement gemäß Fig. 1 entsprechen. Die gemäß Fig. 1 mit Symbolen C und D versehenen Takt- bzw. Daten-Eingänge 8.1.1 bis 8.4.1 bzw. 8.1.2 bis 8.4.2 sind jeweils zusammengefaßt über Leitungen 5.1 bzw. 5.2 an einen digitalen (Clock/Daten-) Ausgangsport 5 des Mikrorechners 1 geführt. Die gemäß Fig. 1 mit dem Symbol L versehenen Load-Eingänge 8.1.3 bis 8.4.3 sind über einzelne Leitungen 7.1 bis 7.4 an einen digitalen (Load/Select-) Ausgangsport 6 geführt. Die Ausgänge 9.1 bis 9.4 der entsprechenden Schieberegister sind jeweils an Schaltendstufen 10.1 bis 10.4 geführt, welche über Steuerleitungen 12.1 bis 12.4 vier weitere, nicht dargestellte Verbraucher individuell mit quasi-analog dosierter Betriebsleistung versorgen.

Die Schaltendstufen 10.1 bis 10.6 bzw. deren Schaltstrecken enthaltende Elemente können zusätzlich noch mit Sensorwiderständen 11.1 bis 11.6 verbunden sein. Beispielsweise über zu einem Bus 13 zusammengefaßte Abtastleitungen 13.1 bis 13.6 können diese Widerstände mit einem Eingangsport des Mikrorechners 1, etwa mit dem A/D-Eingangsport 3, in Wirkverbindung stehen. In den Wirkungspfad kann noch eine zusätzliche Funktion 16 eingeschleift sein, bevorzugt eine Tiefpaß-, Mittelwertbildungs- oder Abtastfunktion, letztwelche optional über eine Leitung 17 mit einem Timing-Ausgang 18 des Mikrorechners 1 in Verbindung stehen kann. Ohne daß dies hier figürlich ausgeführt ist, kann eine Widerstände 11.1 bis 11.6 zugeordnete Tiefpaß- oder Mittelwertbildungsfunktion aber gleichwohl auch schon integraler Bestandteil jeder einzelnen der Schaltendstufen 10.1 bis 10.6 sein.

Die Funktion der Einrichtung wird nun anhand des vereinfachten Impulsdiagramms gemäß Fig. 3 erläutert; dazu ist beispielhaft von einem nur achtstufigen Schieberegister ausgegangen, und insoweit nur von 9 möglichen durchschnittlichen Bestromungsstärken einschließlich Null. Im oberen Teil ist ununterbrochen der serielle Signalverlauf auf der Datenleitung 5.2 über jeweils acht aneinander anschließenden Schiebetaktperiodendauern aufgetragen. Im unteren Teil sind die Signalverläufe auf den Ladesteuerleitungen 7.1 bis 7.4 zur selektiven Verteilung von ununterbrochen aufeinanderfolgenden Signalteilen auf einzelne Schieberegister der Taktperiodenspeicher 8.1 bis 8.4 dargestellt.

Im Gegensatz dazu erfolgt auf Leitungen 9.5 und 9.6 die kontinuierliche Abgabe von rechnerintern schon fertig assemblierten PWM-Ansteuersignalen an die Schaltendstufen 10.5 und 10.6.

Im Mikrorechner 1 läuft ein Programm ab, welches Schaltendstufen 10.1 bis 10.4 getaktete Ansteuersignale zuordnet, deren Tastverhältnisse jeweils nach Maßgabe von Eingangssignalen und gespeicherten Parametern fortlaufend aktualisiert werden. Das entsprechende Programm generiert insoweit sowohl das Schiebetaktsignal CP auf der Leitung 5.1, als auch die logischen Taktmuster in Form aneinandergereihter Tastpulsselemente auf Leitung 5.2 und die eine Select-Funktion erfüllenden LOAD-Impulse  $U_{7.1}$  bis  $U_{7.4}$  auf Leitungen 7.1 bis 7.4.

Der Einfachheit halber ist hier davon ausgegangen, daß Ladezyklen LOAD 8.1, LOAD 8.2 usw. eine zeitliche Länge  $T_1$ ,  $T_2$ , usw. aufweisen, welche jeweils mit den vollen Tast- bzw. PWM-Periodendauern  $t_c$  an den Eingängen der Schaltendstufen 10.1 bis 10.4 übereinstimmt,

d. h., daß die LOAD-Impulse so viele Schiebetakte andauern wie Speicherzellen in Schieberegistern vorhanden sind.

Im Zeitraum LOAD 8.1 liegt die Leitung 7.1 auf hohem Potential (LOAD-Impuls). Während dieser Zeit  $T_1$  wird das Tastpuls muster  $U_{5.2}$  deshalb in das Schieberegister des Taktperiodenspeichers 8.1 eingelesen; wegen gleichzeitig fehlender LOAD-Impulse  $U_{7.2}$  bis  $U_{7.4}$  sind die übrigen Taktperiodenspeicher 8.2 bis 8.4 gegen Einlesung gesperrt.

Zugleich bewegt der Schiebetaktimpuls CP auf der Leitung 5.1 alle Schieberegisterinhalte in der beschriebenen Weise. Nach Ablauf des Ladezyklus LOAD 8.1 wird vom Taktperiodenspeicher 8.1 insoweit ein Rechtecksignal mit dem hier beispielhaften Tastverhältnis von 3/8 an die Schaltendstufe 10.1 abgegeben und der anzusteuern Verbraucher im zeitlichen Durchschnitt mit 3/8 des Maximalstromes versorgt, und zwar so lange, bis der Registerinhalt während der Dauer eines späteren LOAD 8.1-Zyklus verändert wird.

Im Zeitraum LOAD 8.2 liegt die Leitung 7.2 auf hohem Potential (LOAD-Impuls). Während dieser Zeit  $T_2$  wird das Tastpuls muster  $U_{5.2}$  deshalb in das Schieberegister des Taktperiodenspeichers 8.2 eingelesen; wegen gleichzeitig fehlender LOAD-Impulse  $U_{7.1}$  und  $U_{7.3}$  und  $U_{7.4}$  sind die Taktperiodenspeicher 8.1 und 8.3 und 8.4 gegen Einlesung gesperrt. Zugleich bewegt der Schiebetakt-Puls CP alle Schieberegisterinhalte in der schon beschriebenen Weise. Nach Ablauf des Ladezyklus LOAD 8.2 wird vom Taktperiodenspeicher 8.2 insoweit ein Rechtecksignal mit der beispielhaften Einschaltdauer von 6/8 an die Schaltendstufe 10.2 abgegeben und der anzusteuern Verbraucher im zeitlichen Durchschnitt mit 6/8 des Maximalstromes versorgt, und zwar so lange, bis der Registerinhalt während der Dauer eines späteren LOAD 8.2-Zyklus verändert wird.

In entsprechender Weise werden während weiter aufeinanderfolgender Ladezyklen LOAD 8.3, LOAD 8.4 und LOAD 8.1 Ansteuertaktverhältnisse von 4/8, 2/8 und 1/8 in die Schieberegister der entsprechenden Taktperiodenspeicher 8.3, 8.4 und 8.1 eingelesen. Im letzten Falle wird also das im Taktperiodenspeicher 8.1 zuvor gesetzte Tastverhältnis von 3/8 mit einem jetzt aktuellen von 1/8 überschrieben. Als Besonderheit folgt nun auf den Zyklus LOAD 8.1 gleich der Zyklus LOAD 8.3., d. h. die Ausgabe eines LOAD-Impulses auf der Leitung 7.2 unterbleibt. Auf diese Weise bleibt — unberührt von aktuellen Veränderungen der Tastverhältnisse in anderen Ansteuerkanälen — das die Schaltendstufe 8.2 betriebsaufschlagende Tastverhältnis von 6/8 unverändert erhalten, da weder modifiziert noch überschrieben.

Dies bedeutet, daß der Mikrorechner nach initial erfolgtem Einlesen (Download) in die Taktperiodenspeicher von bestimmten Tastverhältnissen nur bei deren Veränderung ausgangsseitig erneut belastet wird. In einem Zustand wie auch immer vielkanalig konstanter Ansteuerung von den Schaltendstufen 10.1 bis 10.4 zugeordneten Verbrauchern sinkt dadurch — vom abzugebenden Schiebetakt signal CP und der Ausgabe von PWM-Signalen über den Port 4 abgesehen — die Ausgangsbelastung des Mikrorechners 1 bezüglich der Ansteuerung besagter Verbraucher auf Null.

Wird in der beschriebenen Weise das Einlesen von Tastverhältnissen zyklisch vorgenommen und erfolgt insoweit lediglich eine überspringende Ausblendung entsprechender LOAD-Impulse für nicht nachzuladende Schieberegister, kann ein bestimmtes Tastverhältnis mit umso kürzerer Ansprechzeit geändert werden, je mehr

Tastverhältnisse gleichzeitig unverändert bleiben.

Die hier beispielhaft einfachsten Formen der monoperiodischen Taktsignalelemente können in der Praxis — bei freilich jeweils identischen Spannungs- bzw. Stromintegralen — durch komplexere Pulsmuster im Verlaufe der Taktperiodendauer  $t_c$  ersetzt sein. Damit kann z. B. eine wirkungsvolle Unterdrückung einer zu starken Taktvibration anzusteuender elektromagnetischer Aktuatoren erreicht werden.

Bei Anwendungen, in denen eine kürzestmögliche Ansprechzeit bzw. eine praktisch gleichzeitige Änderungsmöglichkeit mehrerer Tastverhältnisse erwünscht ist, kann die zeitliche Dauer  $T_1$ ,  $T_2$ , etc. der Ladezyklen auch kürzer bis erheblich kürzer gewählt werden als die aufgrund der Stufenzahl der Schieberegister resultierenden Tast- bzw. PWM-Periodendauer  $t_c$ .

Durch gegenüber der Tast- bzw. PWM-Periodendauer  $t_c$  entsprechend verkürzte LOAD-Impulse wird einerseits bewirkt, daß nicht mehr je LOAD-Impuls der gesamte Schieberegisterinhalt einstückig ersetzt wird, sondern daß jeweils nur noch Teile davon in schnellerer Rundumabfolge mit "Update-Bits" überschrieben werden, während restliche Teile bis auf weiteres beibehalten bleiben. Andererseits sind die einzelnen Schieberegister somit in entsprechend schnellerer zeitlicher Abfolge selektier- und mit Korrekturen an momentanen Tastimpulsmustern ladbar, so daß insgesamt die Veränderung von Tastverhältnissen in parallelen Ansteuerkanälen in besserer Näherung gleichzeitig möglich ist (Load-Scanning).

Bei Bedarf können die Ladezyklen aber auch gemäß einer im Mikrorechner 1 gespeicherten Programmvorschrift in Abhängigkeit von der gleichzeitigen Änderungsaktivität von Ausgangstastverhältnissen mit wahlfrei zuweisbarer Dauer vorgesehen werden. Eine solche Wirkungsweise der Einrichtung ist z. B. vorteilhaft, wenn Ansteuersignale einzelner Ansteuerkanäle mit unterschiedlicher oder frei zuweisbarer Priorität verändert werden sollen, etwa für eine besonders schnelle Reaktion eines bestimmten Verbrauchers.

Durch die Widerstände 11.1 bis 11.6 fließt wenigstens ein bestimmter Teil des an Verbraucher von entsprechenden Schaltendstufen 10.1 bis 10.6 abgegebenen Ansteuerstromes. Der demzufolge an diesen Widerständen sich jeweils einstellende Spannungsabfall wird insoweit als Maß für eine ordnungsgemäße Stromversorgung aus einer Versorgungsspannung  $U_b$  und für den über die entsprechende der Leitungen 12.1 bis 12.6 dem entsprechenden Verbraucher zugeführten Ansteuerstrom ausgewertet. Zu diesem Zweck werden entsprechende Prüfspannungsabfälle über die wenigstens eine Abtastleitung 13 durch wenigstens einen entsprechenden Eingang in den Mikrorechner 1 eingelesen.

Damit dies unter geringstmöglicher Beanspruchung des Mikrorechners 1 geschehen kann, können die optional vorgesehenen Signalhaltemittel 16 (beispielsweise einen Sampler oder einen Analog-Komplexer umfassend) im Zuge der laufenden Programmabwicklung vom Timing-Ausgang 18 aktiviert werden mit der Wirkung, daß sie den wenigstens einen, d. h. den jeweils als nächsten einzulesenden Spannungsabfall erfassen und festhalten.

Ohne Beschränkung der Allgemeinheit können die während Stromflußphasen sich an den Widerständen 11.1 bis 11.6 einstellenden Potentiale insoweit also nicht nur zeitgleich von mehreren Einzeleingängen, sondern auch zeitlich nacheinander bzw. gegeneinander versetzt nur über einen einzigen Eingang des A/D-Eingangs-

ports 3 in den Mikrorechner 1 eingelesen werden. Durch Zeitfilterung bzw. Vorselektion von Prüfgrößen kann die Zusatzbeanspruchung des Mikrorechners bei der Überwachung der Verbraucheransteuerung minimiert werden.

Im Falle einer rechnereingangsseitigen Einholung dieser Potentiale über eine der Zahl zu überwachender Schaltendstufen und Verbraucher entsprechende Anzahl von Abtastleitungen 13 kann eine sequentielle Auswahl auch unmittelbar durch den internen Kanalmultiplexer des A/D-Eingangsports des Mikrorechners 1 geschehen. In diesem Falle können Signalhaltemittel 16 lediglich einzelnen Abtastleitungen 13 zugeordnete Tiefpaßfunktionen zur Mittelwertbildung bzw. Glättung getakteter Spannungsabfälle an Widerständen 11.1 bis 11.6 umfassen, d. h. eine Ansteuerbarkeit von einem besonderen Ausgang 18 des Mikrorechners 1 entfällt in diesem Fall. Auch hierbei kann die Einlesung entsprechender Potentiale in den Mikrorechner — zumindest innerhalb gewisser Grenzen — asynchron bezüglich des Schieberegisterpulses CP erfolgen, wodurch eine ausgeglichene Belastung und insoweit eine höchstmögliche Ausnutzung des Mikrorechners begünstigt wird.

Für den Fall einer Inplausibilität zwischen Ansteuerakt und Prüfpotential eines jeweiligen Ansteuerkanals ist der Mikrorechner vorzugsweise so programmiert, daß in alle Registerzellen des entsprechenden Taktperiodenspeichers ein einheitlicher logischer Zustand geladen und/oder der entsprechende LOAD-Impuls rechnerseitig unterdrückt und der entsprechende Verbraucher dadurch "failsafe" geschaltet werden kann.

Wenn der benutzte Mikrorechner über eine ausreichende Zahl herkömmlicher Digitalausgänge verfügt, kann eine kontinuierliche Abgabe getakteter Ausgangssignale unter Verwendung von sowohl parallel als auch seriell ladbaren Schieberegistern als Taktperiodenspeicher besonders vorteilhaft erreicht werden.

Fig. 4 veranschaulicht zunächst ein solches Schieberegister 20. Die Takteingänge 81, der serielle Dateneingang 82 und der Ausgang 83 entsprechen jenen des Schieberegisters gemäß Fig. 1. Um außerdem alle oder wenigstens einen Teil der Schieberegisterzellen auch simultan laden zu können, ist noch ein Parallelport 82A vorgesehen, dem auf einer Vielzahl von Leitungen 5.3 entsprechende Eingangssignale zuführbar sind. Des weiteren ist noch ein LOAD-Eingang 92 vorgesehen, dem ein LOAD-Impuls zuführbar ist, wenn der serielle Dateneingang 82 verriegelt und das parallele Einlesen der auf den Leitungen 5.3 anstehenden Logikpegel in das Schieberegister stattfinden soll. Ohne eine Aktivierung dieses Einganges ist der Parallelport 82A gesperrt und der Eingang 82 geöffnet. Solange ein Schieberegisterimpuls CP den Eingang 81 beaufschlagt, kann insoweit der am Ausgang 83 erscheinende Logikpegel über die Rückführleitung 84 kontinuierlich in die Anfangszelle des Schieberegisters wieder eingeschrieben und somit endlos durch das Schieberegister bewegt werden.

Fig. 5 zeigt ein weiteres Ausführungsbeispiel der Erfindung unter Verwendung einer Mehrzahl solcher rückgekoppelter Schieberegister 20.1 bis 20.5, die mit einem Adressdecoder 19 zu einem dem Mikrorechner 1 nachgeschalteten Modul 30' zusammengefaßt sind. Der Adressdecoder 19 ist eingangsseitig durch Adreßleitungen 7A mit dem (Load/Select-) Port 6 des Mikrorechners 1 verbunden; über ausgangssseitige Ladesteuerleitungen 7.1 bis 7.5 gibt er LOAD-Impulse an die adressierten LOAD-Eingänge der rückgekoppelten Schieberegister 20.1 bis 20.5 ab. Der Adressdecoder 19 ist hier

zur Expansion der Zahl der Adreßleitungen 7A auf die Zahl der Ladesteuerleitungen 7.1 bis 7.5 vorgesehen, um mit einer geringstmöglichen Belegung digitaler Ausgänge am Mikrorechner 1 auszukommen. Als vom Rechner separates Funktionselement kann er aber auch eine besondere Sicherheitsfunktion zusätzlich erfüllen, wie unten noch ausgeführt.

Über die Taktleitung 5.1 wird ein Schiebetaktsignal CP vom digitalen Ausgang 5 an die Takt-eingänge der rückgekoppelten Schieberegister 20.1 bis 20.5 übertragen. Der vielpolige digitale Ausgangsport 5A ist über den Bus 5.3 mit den Parallelsports der rückgekoppelten Schieberegister 20.1 bis 20.5 verbunden. Leitungen 9.1 bis 9.5 verbinden die Ausgänge der rückgekoppelten Schieberegister 20.1 bis 20.5 mit entsprechenden Schaltendstufen 10.1 bis 10.5, welche über Steuerleitungen 12.1 bis 12.5 die entsprechende Mehrzahl nicht gezeigter Verbraucher ansteuern.

Optional sind Meßwiderstände 11.1 bis 11.5 in schon beschriebener Weise über zu einem Bus 13 zusammengefaßte Fühlleitungen 13.1 bis 13.5 mit dem A/D-Eingangsport 3 des Mikrorechners 1 verbunden. Je nach interner Beschaltung dieser Widerstände in den Schaltendstufen 10.1 bis 10.5 können diese Leitungen aber auch an den digitalen Eingangsport 2 geführt sein, insbesondere wenn z.B. nur logische Plausibilität zwischen den Ansteuersignalen und der zeitabschnittswisen Bestromung z. B. während innerhalb einer Taktperiodendauer festliegender Minimaleinschaltzeiten der Schaltendstufen geprüft werden soll, etwa zur Überwachung auf Ausfall oder Kurzschluß einer Schaltendstufe, der Ansteuerleitung zum Verbraucher, oder des Verbrauchers selbst.

Die Funktion dieses Ausführungsbeispiels entspricht derjenigen des Ausführungsbeispiels gemäß Fig. 2, bis auf den Unterschied, daß wenigstens Teilinhalte der Schieberegister mit einer der Breite  $m$  des Busses 5.3 entsprechenden Bitlänge  $m$  jeweils innerhalb eines einzigen Schrittes des Schiebetakts CP und insoweit in sehr schneller Rundumabfolge austauschbar sind. Bei einer Breite  $m$  des Busses 5.3 kann der Austausch kompletter, also  $n$  Bit langer Schieberegisterinhalte dann durch wiederholt paralleles Nachladen eines  $m$  Bit langen Teilinhaltes nach jeweils  $m$  Schritten des Schiebetaktpulses CP erfolgen.

Deshalb eignet sich dieses Ausführungsbeispiel besonders für die schnelle assoziative Assemblierung von Tastverhältnissen durch Auslesen ROM-gespeicherter Tastpuls muster, d. h. für das unmittelbare Laden von Tastverhältnissen aus digital oder binär abgespeicherten Kennlinien oder Kennfeldern (ROM-Dump-Mode). Hierfür können preiswerte Mikrorechner ohne interne PWM-Signalgeneratoren allein in Verbindung mit einer entsprechenden ROM-Kapazität Verwendung finden, mit oder ohne A/D-Eingangsport.

Bei diesem Ausführungsbeispiel können z. B. bestimmte Segmente des Schieberegisterinhalts mit Bits zur groben Vorgabe und wiederum andere zur Feinabstimmung des Tastverhältnisses überschrieben werden und, gesteuert vom (Load/Select-) Port 6 aus, mit unterschiedlicher Priorität einlesbar sein.

Bei entsprechender Funktion des Adreßdecoders 19 können bei Ausgabe eines spezifischen Codes am Port 6 zudem die Select-Eingänge L aller Schieberegister zugleich durch einen LOAD-Impuls aktiviert werden mit der Wirkung, daß z. B. in Abhängigkeit eines mit Vorrang zu verarbeitenden Eingangssignales alle Ansteuerkanäle zugleich auf ein bestimmtes Anfangs-Tastver-

hältnis setzbar sind. Diese Funktion ist z. B. bei Nutzung der Einrichtung innerhalb eines elektronischen Fluglage- oder Bremssteuersystems vorteilhaft, indem sie etwa in Abhängigkeit eines den Mikrorechner ansteuernden Gefahrensignals wenigstens ein eine festgelegte Grundansteuerung aller Lage- bzw. Radbremsventile bewirkendes Tastverhältnis spontan zu laden erlaubt, d. h. ohne nennenswerten Verteilzeitverzug zwischen verschiedenen Ansteuerkanälen.

Des weiteren kann hier außer dem zeitlichen Durchschnittswert des getakteten Ansteuersignals für einen Verbraucher auch ein ggfs. periodisch repetierendes Puls muster zur Erzeugung einer zeitlich schwankenden bzw. um einen Mittelwert wie auch immer oszillierenden Taktansteuerung einfach und schnell gewechselt bzw. verändert werden, etwa in Abhängigkeit vom Grad der Ansteuerung.

Derlei spielt z. B. bei der getakteten Ansteuerung von sehr schnellen und kontinuierlich verstellbaren elektromagnetischen Druckmittelventilen eine Rolle, um einerseits eine kleinstmögliche Verstellhysterese und andererseits dennoch einen minimalen Verschleiß durch öffnungsgradabhängige Taktoszillationen des beweglichen Ventilelements zu realisieren.

Das Ausführungsbeispiel gemäß Fig. 6 bildet die Einrichtung gemäß Fig. 2 dahingehend fort, daß unter bestimmten Voraussetzungen einmal erreichte Ansteuer-taktzustände beim Ausfall des Mikrorechners aufrecht erhalten werden können (Last Instruction Hold Capability).

Zu diesem Zweck wird das den Mikrorechner 1 antreibende Taktsignal in einem externen Clock-Generator 31 erzeugt und einem Takteingang 15A des Rechners 1 über eine externe Taktleitung 5.1' zugeführt. Dieses Signal wird — erforderlichenfalls nach Frequenzteilung 32 — über den Taktpfad 5.1'' den Takteingängen C der Tastperiodenspeicher 8.1 bis 8.4 als Schiebetaktpuls zugeführt. Vom digitalen Datenausgang 5 werden nacheinander verschiedenen Kanälen zuzuordnende Tastsignale den Eingängen D der Taktperiodenspeicher 8.1 bis 8.4 zugeführt.

Als Bestandteil einer Watchdog-Schaltung verfügt der Mikrorechner 1 über einen Alarmausgang 33, der bei ordnungsgemäß arbeitendem bzw. betriebsfähigem Mikrorechner einen vorbestimmten Logikpegel, hier beispielsweise hohes Potential, führt. Der Alarmausgang 33 steuert über eine Leitung 33.1 erste Eingänge von einem Gateway bildenden UND-Gattern 7.1.1 bis 7.4.1 an, deren zweite Eingänge jeweils über entsprechende Leitungen 7.1 bis 7.4 die LOAD-Impulse vom (Load/Select-) Port 6 empfangen. Ihre Ausgänge geben in Abhängigkeit vom Pegel auf der Leitung 33.1 diese Impulse an die Ladesteuereingänge L der Tastperiodenspeicher 8.1 bis 8.4 weiter.

Die Einrichtung funktioniert wie folgt.

Nimmt die Leitung 33.1 wegen eines Rechnerdefekts oder des Ausfalles der Stromversorgung des Rechners ein niedriges Potential an, wird der aus UND-Gattern 7.1.1 bis 7.4.1 gebildete Gateway blockiert. Dadurch sind die Schieberegister der Speicher 8.1 bis 8.4 dann nicht mehr nachladbar, so daß ein noch anstehender Schiebetaktpuls CP die momentanen Registerinhalte in den Registern endlos zirkuliert und damit zu einer kontinuierlichen Ausgabe der vor Eintritt der Fehlersituation relevanten Tastverhältnisse führt, sofern die Elemente des Moduls 30'' aus einer getrennten und jedenfalls noch intakten Stromquelle versorgt werden.

Es ist leicht ersichtlich, daß eine sinngemäße Abwand-

lung ohne Einschränkung auch bei der Einrichtung gemäß Fig. 5 möglich ist, indem z. B. der Adreßdecoder 19 so ausgebildet wird, daß er in sinngemäßer Weise durch ein entsprechendes Watchdog-Signal gesperrt werden kann und eine Selektion der Schieberegister 20.1 bis 20.5 somit nicht mehr möglich ist. Auf eine figürliche Darstellung ist insoweit verzichtet.

Vermittels der letzterwähnten Funktion kann z. B. in einem elektrisch gesteuerten und durch pneumatisch redundante Reserveansteuerung gesicherten Druckluftbremssystem bei Rechnerausfall während eines Bremsmanövers die noch gespeicherte letzte Bremsinstruktion — solange Ansteuerendstufen mit Strom versorgt werden — jedenfalls noch zu einer elektrisch angesteuerten Not- oder Stillsetzungsbremung genutzt werden; die pneumatisch reservegesteuerte Sicherheitsbremung kann bei Bedarf durch bloßes Abschalten der Endstromversorgung aktivierbar sein.

Es versteht sich, daß das die Taktperiodenspeicher 8.1 bis 8.4 bzw. 20.1 bis 20.5 beinhaltende Modul 30, 30' oder 30'' in der Art eines monolithischen Schaltkreises hergestellt sein und insoweit in vorteilhafter Weise als einstückiges Bauelement realisiert sein kann.

Im Rahmen der Erfindung kann ein solches wie auch immer strukturiertes Modul 30 bzw. 30' bzw. 30'' ein- körperlich auch den Adreßdecoder 19, Signalhaltemittel 16, Frequenzteilmittel 32, besagte Gatewayfunktion 7.1.1 bis 7.4.1 und unter gewissen Voraussetzungen auch die externe Taktsignalquelle 31 umfassen.

Ebenso gut kann ein solches Funktionsmodul 30 bzw. 30' bzw. 30'' zusammen mit einer herkömmlichen Mikrorechnerstruktur hergestellt werden, und insoweit auch Bestandteil eines speziellen Steuerbauteils für die PWM-Ansteuerung einer Mehrzahl von Verbrauchern sein, indem so z.B. die gesamte Einrichtung mit Ausnahme der Taktendstufen als einstückige integrierte Schaltung realisiert wird. Daraus resultiert eine hohe Zuverlässigkeit der erfindungsgemäßen Einrichtung zur quasi-analog individuellen Parallelansteuerung einer Mehrzahl von Verbrauchern in einem Verkehrsmittel.

#### Patentansprüche

1. Einrichtung zur quasi-analog individuellen Parallelansteuerung einer Mehrzahl von elektrischen Verbrauchern in einem Verkehrsmittel, mit einer entsprechenden Mehrzahl von die elektrischen Verbraucher mit getakteten Betriebsströmen beaufschlagenden Schaltendstufen, welche einseitig jeweils mit von einem Mikrorechner ausgehenden logischen Potentialen beaufschlagbar sind, **dadurch gekennzeichnet**,

— daß einem ersten Digitalausgang bzw. -port (5.2; 5A) des Mikrorechners (1) wenigstens ein rückgekoppelt betreibbarer Taktperiodenspeicher (8; 8.1 bis 8.4; 20; 20.1 bis 20.5) nachgeschaltet ist, welcher einen Ausgang (9; 9.1 bis 9.5) aufweist, der mit dem Eingang einer entsprechenden Taktendstufe (10.1 bis 10.5) wirkverbunden ist, und

— daß nach Maßgabe einer Programmvorschrift vom ersten Digitalausgang (5.2; 5A) logische Potentiale in den Taktperiodenspeicher (8; 8.1 bis 8.4; 20; 20.1 bis 20.5) einlesbar sind, so lange diesem von einem zweiten Digitalausgang bzw. -port (6) des Mikrorechners (1) über eine zugeordnete Ladesteuerleitung (7.1 bis 7.5) ein LOAD-Impuls zuführbar ist, und

— daß dem wenigstens einen Taktperiodenspeicher (8; 8.1 bis 8.4; 20; 20.1 bis 20.5) ein rechneraktverketteter Schiebetaktimpuls (CP) zuführbar ist, nach dessen Maßgabe der Inhalt des rückgekoppelten Taktperiodenspeichers (8; 8.1 bis 8.4; 20; 20.1 bis 20.5) zirkulierbar ist.

2. Einrichtung nach Anspruch 1, dadurch gekennzeichnet,

— daß der wenigstens eine Taktperiodenspeicher (8; 8.1 bis 8.4; 20; 20.1 bis 20.5) ein seriell auslesbares Schieberegister umfaßt, welches einen seriellen Dateneingang (82) aufweist, über den das Signal an seinem seriellen Ausgang (83) nach Maßgabe des an einem besonderen Takteingang (81) anliegenden Schiebetaktsignals CP wieder einlesbar ist.

3. Einrichtung nach Anspruch 2, dadurch gekennzeichnet,

— daß der wenigstens eine Taktperiodenspeicher (8; 8.1 bis 8.4; 20; 20.1 bis 20.5) n Speicherzellen umfaßt und das Programm des Mikrorechners (1) so beschaffen ist, daß der je Taktperiodenspeicher vonseiten des Mikrorechners (1) ausgelöste LOAD-Impuls eine Dauer aufweist, die jener von n Perioden des Schiebetaktsignals CP entspricht.

4. Einrichtung nach Anspruch 2, dadurch gekennzeichnet,

— daß der wenigstens eine Taktperiodenspeicher (8; 8.1 bis 8.4; 20; 20.1 bis 20.5) n Speicherzellen umfaßt und das Programm des Mikrorechners (1) so beschaffen ist, daß der je Taktperiodenspeicher vonseiten des Mikrorechners (1) ausgelöste LOAD-Impuls eine Dauer aufweist, die kürzer ist als n Periodendauern des Schiebetaktsignals CP.

5. Einrichtung nach Anspruch 2, dadurch gekennzeichnet,

— daß das Programm des Mikrorechners (1) so beschaffen ist, daß die vom Mikrorechner (1) ausgelösten LOAD-Impulse in Abhängigkeit von seinen momentanen Eingangssignalen eine variable, im wesentlichen in Schiebetaktinkrementen stufbare Dauer aufweisen.

6. Einrichtung nach Anspruch 2, dadurch gekennzeichnet,

— daß der Mikrorechner (1) und der wenigstens eine Taktperiodenspeicher so beschaffen sind, daß bei Anstehen eines LOAD-Impulses am Taktperiodenspeicher von einem m Bit breiten Ausgang (5A) des Mikrorechners (1) in wenigstens m von n Zellen des Taktperiodenspeichers ein paralleles Datenwort ladbar (82A) ist, mit der Wirkung des Überschreibens vorheriger Inhalte besagter m Zellen.

7. Einrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet,

— daß das Programm des Mikrorechners (1) so beschaffen ist, daß die Aufeinanderfolge verschiedener LOAD-Impulse an verschiedene Taktperiodenspeicher unveränderlich festliegt.

8. Einrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet,

— daß das Programm des Mikrorechners (1) so beschaffen ist, daß die Aufeinanderfolge verschiedener LOAD-Impulse an verschiedene Taktperiodenspeicher in Abhängigkeit von



- Eingangssignalen des Mikrorechners (1) nach Maßgabe einer programmabhängigen Prioritätszuweisung im Zuge der Programmabwicklung dynamisch festlegbar ist.
9. Einrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, 5
- daß das Programm des Mikrorechners (1) so beschaffen ist, daß vom Mikrorechner nur dann ein LOAD-Impuls an einen Taktperiodenspeicher (8; 8.1 bis 8.4; 20; 20.1 bis 20.5) 10 ausgelöst wird, wenn dessen augenblicklicher Speicherinhalt verändert werden soll.
10. Einrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet,
- daß dem Ladesteuersignale abgebenden Ausgang (6) des Mikrorechners (1) ein Adreßdecoder (19) nachgeschaltet ist, dessen Ausgangsleitungen (7.1 bis 7.5) jeweils mit Ladesteuereingängen L (8.1.3 bis 8.4.3; 92) einer entsprechenden Anzahl von Taktperiodenspeichern (8.1 bis 8.4; 20.1 bis 20.5) verbunden 20 sind.
11. Einrichtung nach Anspruch 2, dadurch gekennzeichnet,
- daß eine vom Mikrorechner (1) getrennte Taktfrequenzquelle (31) vorgesehen ist, die über eine erste Taktleitung (5.1') mit einem Takteingang CLK (15A) des Mikrorechners (1) verbunden ist und von welcher über einen zweiten Taktweg (5.1'') Takteingängen (81) aller Taktperiodenspeicher (8.1 bis 8.4; 20.1 bis 20.5) ein rechnertaktverkettetes Schiebetaktsignal CP zuführbar ist, und 30
  - daß Ladesteuerleitungen (7.1 bis 7.5) über einen Gateway (7.1.1 bis 7.4.1) geführt sind, dessen Steuereingang (33.1) von einem besonderen Ausgang (33) des Mikrorechners (1) mit einem dessen Betriebszustand charakterisierenden Statussignal beaufschlagbar ist. 35
12. Einrichtung nach Anspruch 11, dadurch gekennzeichnet, 40
- daß im zweiten Taktweg (5.1'') Frequenzteilmittel (32) angeordnet sind.
13. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, 45
- daß von jeder der Taktendstufen (10.1 bis 10.6) wenigstens eine Abtastleitung ausgeht, wobei diese Abtastleitungen (13) wenigstens mit entsprechenden Eingängen eines digitalen Eingangsports (2) des Mikrorechners (1) verbunden sind. 50
14. Einrichtung nach Anspruch 1, dadurch gekennzeichnet,
- daß von jeder der Taktendstufen (10.1 bis 10.6) wenigstens eine Abtastleitung ausgeht, wobei diese Abtastleitungen (13) auf einen analogen Eingangsport (3) des Mikrorechners (1) wirken. 55
15. Einrichtung nach Anspruch 14, dadurch gekennzeichnet, 60
- daß die Abtastleitungen (13) auf Signalhaltemittel (16) wirken, die ihrerseits auf einen analogen Eingangsport (3) des Mikrorechners (1) wirken.
16. Einrichtung nach Anspruch 15, dadurch gekennzeichnet, 65
- daß die Signalhaltemittel (16) über einen Kontrollpfad (17) von einem besonderen Aus-

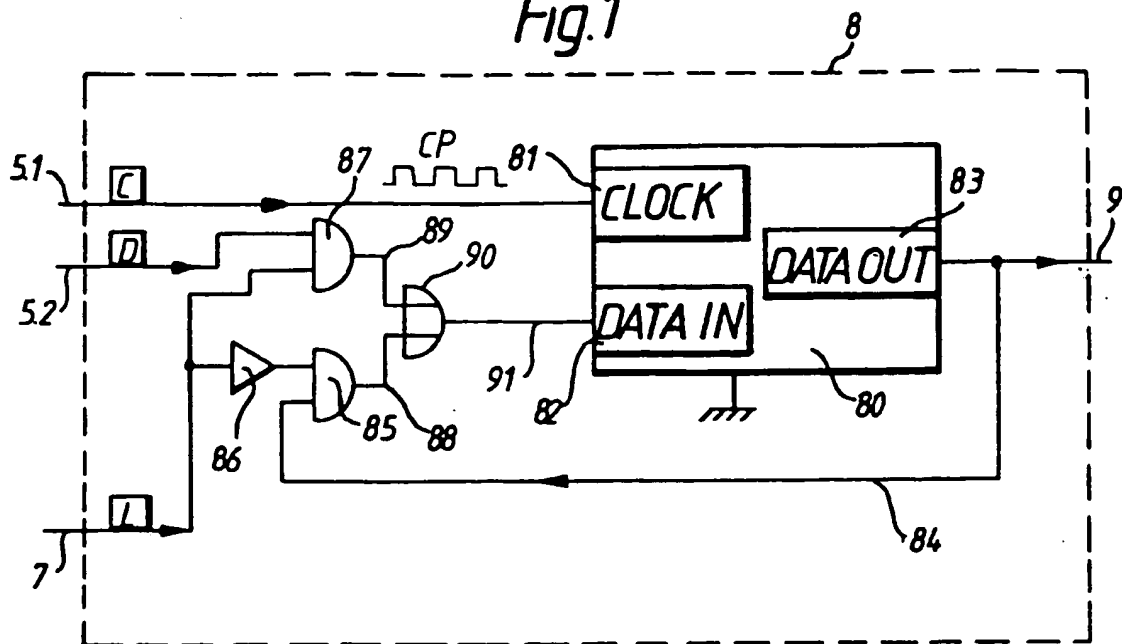
- gang (18) des Mikrorechners (1) nach Maßgabe des Rechnerprogramms aktivierbar sind.
17. Einrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet,
- daß eine Vielzahl von Taktperiodenspeichern (8.1 bis 8.4; 20; 20.1 bis 20.5) vorgesehen ist, wobei diese Vielzahl zu einem Funktionsmodul (30; 30'; 30'') zusammengefaßt monolithisch integriert ist.
18. Einrichtung nach Anspruch 17, dadurch gekennzeichnet,
- daß wenigstens einer der Funktionsblöcke
  - Adreßdecoder (19)
  - Signalhaltemittel (16)
  - Frequenzteilmittel (32)
  - Gateway (7.1.1 bis 7.4.1)
  - externe Taktsignalquelle (31) als weiterer Bestandteil in besagtem Funktionsmodul (30; 30'; 30'') integriert ist.
19. Einrichtung nach Anspruch 17 oder 18, dadurch gekennzeichnet,
- daß das Funktionsmodul (30, 30', 30'') zusammen mit dem Mikrorechner (1) monolithisch realisiert ist.
20. Einrichtung nach Anspruch 1, dadurch gekennzeichnet,
- daß sie als Bestandteil eines elektronischen Steuergerätes zur Beeinflussung des Vortriebs, der Verzögerung oder der Position bzw. Lage eines Verkehrsmittels vorgesehen ist.

---

Hierzu 4 Seite(n) Zeichnungen

---

*Fig.1*



*Fig. 3*

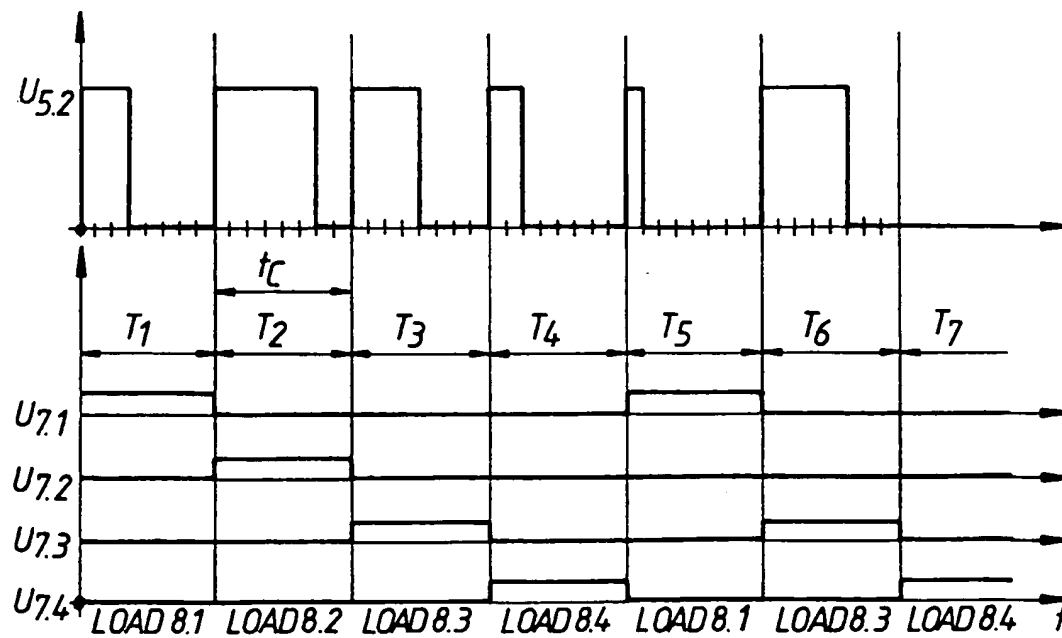
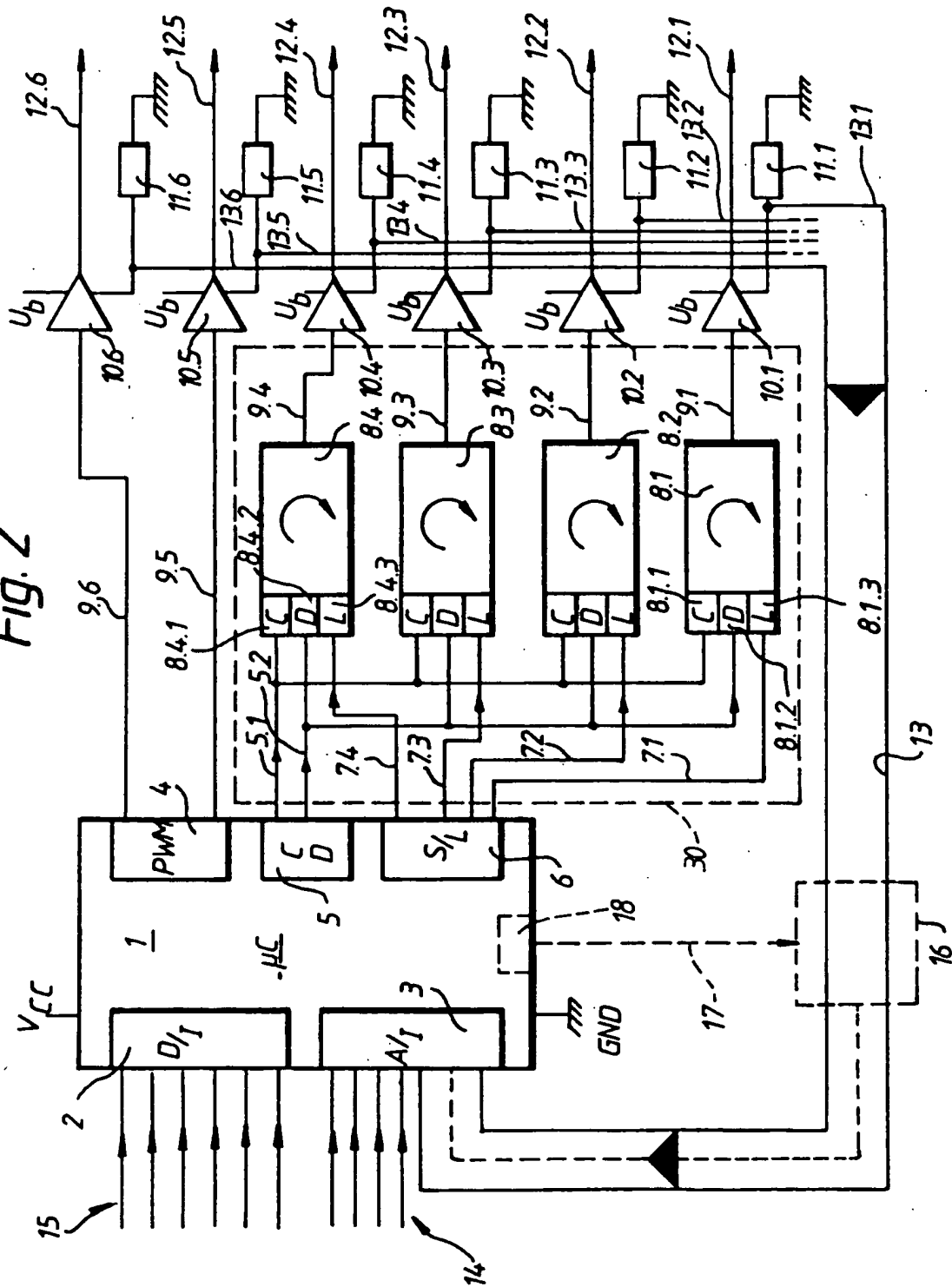
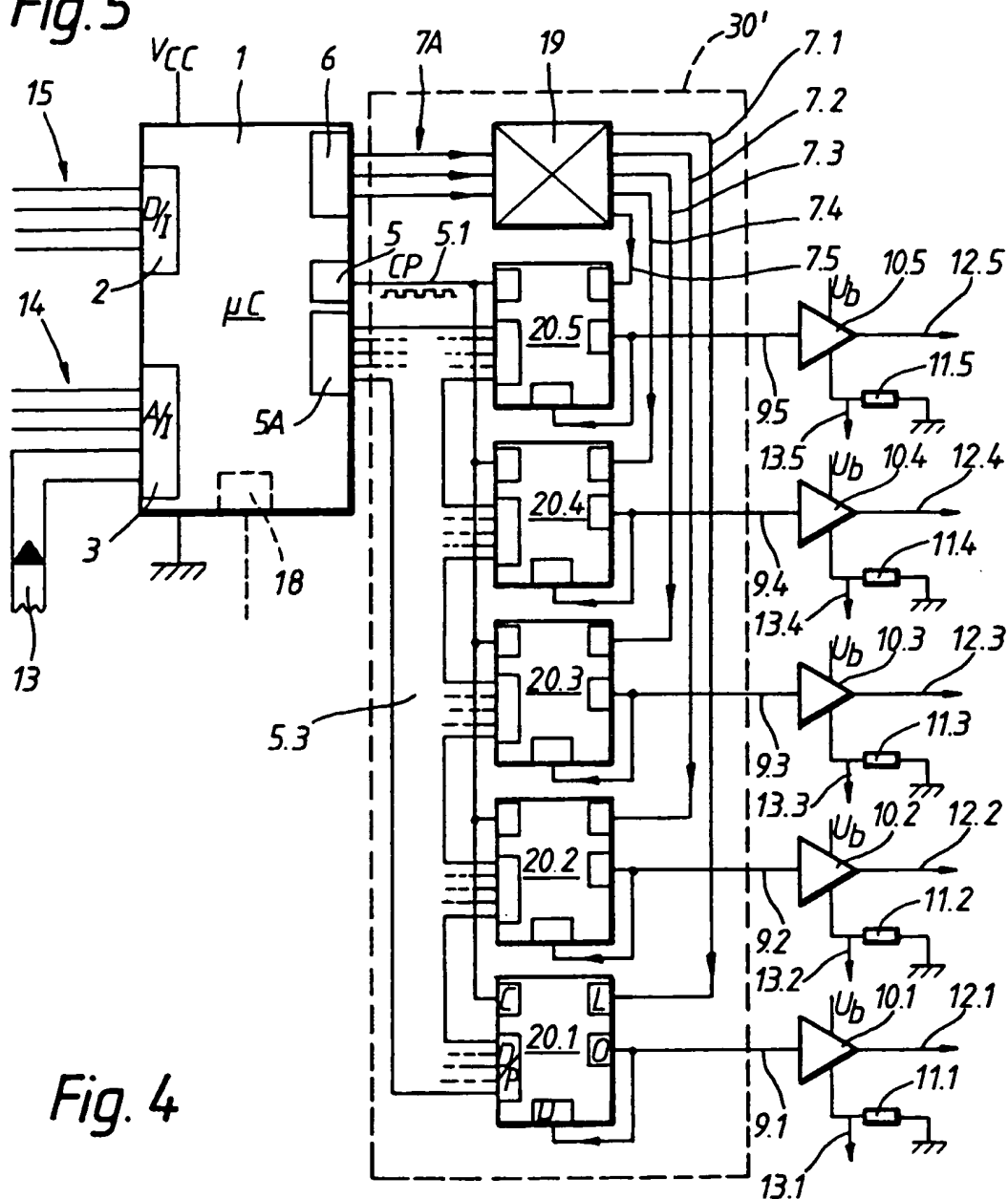


Fig. 2



*Fig. 5*



*Fig. 4*

